

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-181328

(43)Date of publication of application : 12.07.1996

(51)Int.Cl.

H01L 29/786
H01L 21/265
H01L 21/336

(21)Application number : 07-251474

(71)Applicant :

SGS THOMSON MICROELECTRON INC

(22)Date of filing : 28.09.1995

(72)Inventor :

CUNNINGHAM JAMES A

(30)Priority

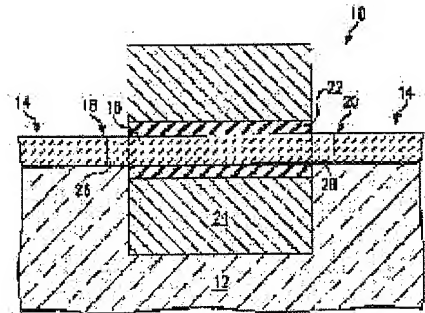
Priority number : 94 315955 Priority date : 30.09.1994 Priority country : US

(54) SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To improve ON current and performance of a polysilicon TFT such that the polysilicon TFT can be applied to a wider aspect of an integrated circuit.

SOLUTION: The semiconductor device 10 has an insulating support 12. A strip 14 of semiconductor substance has two end parts touching the insulating support 12 and an intermediate part 16 extending between the end parts. A dielectric layer 22 surrounds the intermediate part while a dielectric layer 24 surrounds the dielectric layer 22. The conductive layer has substantially constant width and a gate electrode formed therein is self-aligned perfectly with drain and source regions 18, 20.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-181328

(43) 公開日 平成8年(1996)7月12日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/786

21/265

21/336

H 0 1 L 29/ 78

6 1 7 N

21/ 265

Q

審査請求 未請求 請求項の数25 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平7-251474

(22) 出願日 平成7年(1995)9月28日

(31) 優先権主張番号 3 1 5 9 5 5

(32) 優先日 1994年9月30日

(33) 優先権主張国 米国 (U S)

(71) 出願人 591236448

エスジーエーストムソン マイクロエレクトロニクス, インコーポレイテッド
SGS-THOMSON MICROELECTRONICS, INCORPORATED

アメリカ合衆国, テキサス 75006,
カーロルトン, エレクトロニクス ドライブ 1310

(72) 発明者 ジェームズ エイ. カニングハム
アメリカ合衆国, カリフォルニア
95070, サラトガ, ジュネベロ ウエイ 19771

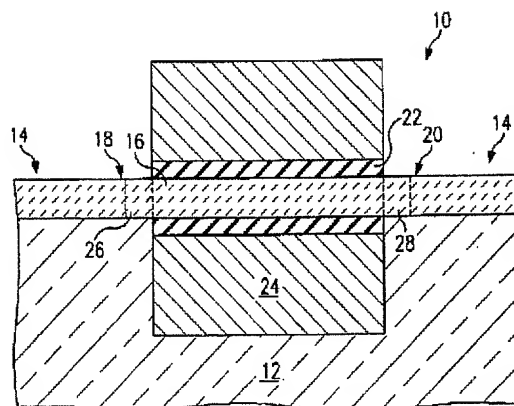
(74) 代理人 弁理士 小橋 一男 (外1名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 集積回路のより広い適用場面で使用することが可能であるようにポリシリコンTFTのオン電流及び性能を改善する。

【解決手段】 半導体装置 (10) は絶縁性支持体 (12) を有している。半導体物質からなるストリップ (14) は絶縁性支持体と接触する2つの端部及びそれらの端部の間に延在する中間部分 (16) を有している。誘電体層 (22) が中間部分を取囲んでおり、導電層 (24) が誘電体層を取囲んでいる。導電層は実質的に一定の幅を有しており、導電層内に形成されるゲート電極は端部内に形成されるドレイン領域 (18) 及びソース領域 (20) と完全に自己整合される。



1

【特許請求の範囲】

【請求項1】 半導体装置において、

絶縁性支持体、

前記絶縁性支持体と接触する2つの端部及び前記2つの端部の間に延在する中間部分を具備する半導体物質からなるストリップ、

前記中間部分を取囲む誘電体物質層、

前記誘電体物質層を取囲み且つ実質的に一定の幅をもった導電性物質層、を有することを特徴とする半導体装置。

【請求項2】 請求項1において、前記絶縁性支持体が誘電体物質からなることを特徴とする半導体装置。

【請求項3】 請求項1において、前記半導体物質がポリシリコンを有することを特徴とする半導体装置。

【請求項4】 請求項1において、前記2つの端部のうちの第一端部がドレイン領域を形成しており、前記2つの端部のうちの第二端部がソース領域を形成しており、且つ中間部分がチャンネル領域を形成していることを特徴とする半導体装置。

【請求項5】 請求項1において、前記導電性物質層がゲート電極を形成していることを特徴とする半導体装置。

【請求項6】 請求項1において、前記中間部分が前記2つの端部及び前記絶縁性支持体に関して実質的に同一面状にあることを特徴とする半導体装置。

【請求項7】 請求項1において、前記誘電体物質層がゲート絶縁膜を形成していることを特徴とする半導体装置。

【請求項8】 半導体装置において、

ソース領域と、ドレイン領域と、チャンネル領域とを具備する半導体物質からなる本体、

前記チャンネル領域を取囲むゲート絶縁体、

前記ゲート絶縁体を取囲んでおり且つ前記ソース領域及びドレイン領域と完全に自己整合されているゲート電極、を有することを特徴とする半導体装置。

【請求項9】 請求項8において、前記ソース領域及び前記ドレイン領域の各々が前記チャンネル領域に隣接した軽度ドーピングした領域を有することを特徴とする半導体装置。

【請求項10】 請求項8において、前記ゲート絶縁体が二酸化シリコンを有することを特徴とする半導体装置。

【請求項11】 請求項8において、前記ゲート電極がポリシリコンを有することを特徴とする半導体装置。

【請求項12】 請求項8において、前記半導体物質がポリシリコンを有することを特徴とする半導体装置。

【請求項13】 半導体装置において、

互いに離隔されている第一及び第二のドーピングした半導体領域、

前記第一及び第二領域の間に位置されており且つ前記第

2

一及び第二領域よりもドーピング濃度が低い第三のドーピングした半導体領域、

前記第三領域を取囲む絶縁体、

前記絶縁体を取囲んでおり且つ実質的に一定の幅をもった導電性物質層、を有することを特徴とする半導体装置。

【請求項14】 請求項13において、前記第一及び第二の領域が第一導電型の半導体物質から構成されており、且つ前記第三の領域が第二の導電型の半導体物質から構成されていることを特徴とする半導体装置。

【請求項15】 請求項13において、前記第一及び第二の領域が前記第三の領域に隣接した軽度ドーピングした領域を有することを特徴とする半導体装置。

【請求項16】 半導体装置の製造方法において、絶縁性支持体上に半導体物質からなるストリップを形成し、前記ストリップの中間部分の下側において前記絶縁性支持体に空洞を形成し、

前記中間部分の周りに絶縁体を形成し、

前記絶縁体の周りに自己整合した電極を形成する、上記各ステップを有することを特徴とする方法。

【請求項17】 請求項16において、前記空洞を形成するステップが、前記中間部分の両側に沿って異方性エッチングによって開口を形成し、前記開口が合体して前記空洞を形成するように前記開口を等方性エッチングする、ことを特徴とする方法。

【請求項18】 請求項16において、更に、前記中間部分をドーピングしてチャンネル領域を形成し且つ前記中間部分に隣接した前記ストリップの端部をドーピングしてソース領域及びドレイン領域を形成することを特徴とする方法。

【請求項19】 請求項18において、更に、前記チャンネル領域に隣接した前記ソース領域及びドレイン領域の一部を軽度ドーピングして軽度ドーピングされたソース領域及びドレイン領域を形成することを特徴とする方法。

【請求項20】 トランジスタの製造方法において、絶縁性支持体上に半導体物質からなるストリップを形成し、

前記ストリップの中間部の両端が前記絶縁性支持体と接触するように前記ストリップの中間部分の下側において前記絶縁性支持体内に空洞を形成し、

前記中間部分の周りにゲート絶縁体を形成し、

前記中間部分内に本トランジスタのチャンネルを形成し、

前記ゲート絶縁体の周りにゲート電極を形成し、

前記ゲート電極がドレイン領域及びソース領域と完全に自己整合するように前記端部の夫々の中に本トランジスタのドレイン領域及びソース領域を形成する、上記各ス

3

テップを有することを特徴とする方法。

【請求項21】 請求項20において、前記ストリップを形成するステップが、
前記絶縁性支持体上にポリシリコン層を形成し、
前記ポリシリコン層をエッチングして前記ストリップを形成する、ことを特徴とする方法。

【請求項22】 請求項20において、前記ストリップを形成するステップが、
前記絶縁性支持体上にアモルファスシリコン層を形成し、
前記アモルファスシリコン層をエッチングして前記ストリップを形成し、
前記絶縁性支持体及び前記ストリップ上に第一誘電体層を形成し、
前記第一誘電体層上に第二誘電体層を形成し、
前記第一及び第二誘電体層をフローさせて平坦な表面を形成し且つ前記アモルファスシリコンをポリシリコンへ変換させる、ことを特徴とする方法。

【請求項23】 請求項20において、前記空洞を形成するステップが、
前記ストリップ及び前記絶縁性支持体上に実質的に平坦な表面をもった層を形成し、
前記層の上に前記中間部分を露出させるマスクを形成し、
前記層及び前記絶縁性支持体を異方性エッチングして前記中間部分の側部に隣接して開口を形成し、
前記開口が前記中間部分の下側で合体して前記空洞を形成するように前記絶縁性支持体を等方性エッチングする、ことを特徴とする方法。

【請求項24】 請求項20において、前記ゲート電極を形成するステップが、前記空洞を導電性物質で充填することを特徴とする方法。

【請求項25】 請求項20において、更に、前記チャンネルに隣接した前記ドレイン領域及びソース領域の一部を軽度ドーピングすることを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、大略、半導体装置及びその製造方法に関するものであって、更に詳細には、薄膜トランジスタ(TFT)及びその製造方法に関するものである。

【0002】

【従来の技術】 MOSトランジスタの導電性チャンネルを多結晶シリコン(ポリシリコン)の薄膜内に配置させるという概念は極めて古く1960年代後半にさかのぼる。顕著な研究開発の努力にも拘らず、これらの装置及びそれに対応するアモルファスシリコンのものも最近まで殆ど市場において成功することはなかった。何故ならば、単結晶基板上に形成されるMOSトランジスタと比較して、ポリシリコン又はアモルファス物質を使用する

4

薄膜トランジスタ(TFT)は、典型的に、そのキャリア移動度が低いために相互コンダクタンスがかなり低いからである。それらは、又、グレイン境界即ち粒界に存在すると考えられるトラップによる帯電効果によりスレッショールド電圧が高く且つ再現性のないものであるという特徴を有していた。

【0003】 1980年代初頭において、水素添加アモルファスシリコン(α -Si:H)で製造したTFTが薄膜イメージセンサ適用のために研究された。この物質又は同様の物質を再結晶化させることによって比較的高い性能のポリシリコンTFTが得られた。1980年代後半までに、ポリシリコンTFTはアクティブマトリクス型液晶ディスプレイ(LCD)に対して大量に適用された。これらの製品はガラス又は石英基板を使用するものである。TFTは従来のMOSトランジスタと比較して比較的寸法が大きく且つデジタル適用において通常使用されるものよりもより高い電圧において動作する。

【0004】 最近TFTについて一般的なトピックに関し多数の文献が発表されているが、TFTは未だにスタンダードなCMOS装置に対して大量に適用されていない。これらの文献としては、例えば、Koichiro Ishibashi et al., 「2ステップワード電圧方法を使用した1V TFT負荷SRAM (A 1V TFT-Load SRAM Using a Two-Step Word-Voltage Method)」, IEEE ISSCC, 206頁(1992年)、Sjuji Murakami et al., 「バッテリー動作21mW CMOS SRAM (A 21mW CMOS SRAM for Battery Operation)」, [三菱電機], ISSCC, 46頁(1991)、Katsuro Sasaki et al., 「電流センスアンプを有する7ns 140mW CMOS SRAM (A 7ns 140mW CMOS SRAM with Current Sense Amplifier)」, [日立], ISSCC, 208頁(1992)、Hiroyuki Goto et al., 「3.3V 12ns 16Mb CMOS SRAM (A 3.3V 12ns 16Mb CMOS SRAM)」, [NEC], ISSCC, 216頁(1992)、C. T. Liu et al., 「自己整合型LDD構造を使用した16Mbit SRAM適用用の高信頼性及び高性能0.35ミクロンゲート反転型TFT (High Reliability and High Performance 0.35 μ m Gate-Inverted TFT's for 16Mbit SRAM Application Using Self-Aligned LDD Structures)」, [AT&T], IEEE IEDM, 823頁(1992)、J. P. Colinge et al., 「シリコン・オン・

5

インシュレータ全周ゲート装置 (Silicon-on-Insulator Gate-All-Around Device)」、IEDM、595頁(1990)、J. D. Hayden et al. 「高速16Mb SRAM用高性能4重ウエル、4重ポリシリコンBiCMOSプロセス (A High-Performance Quadruple Well, Quadruple Poly BiCMOS Process for Fast 16Mb SRAMs)」、IEEE IEDM、819頁(1992)、1992年実験的SRAMセルにおいて報告、Koichiro Ishibashi et al. 「2ステップワード電圧方法を使用した1V TFT負荷SRAM (A 1V TFT-Load SRAM Using a Two-Step Word-Voltage Method)」、IEEE ISSCC、206頁(1992)を参照すると良い。

【0005】TFTは、それと対応する単結晶のものと比較すると大型であることが多いが、面積を減少した集積回路を製造するために使用されることがしばしばある。例えば、TFTはスタティックランダムアクセスメモリ (SRAM) セルにおける負荷装置として使用することが可能である。典型的に、TFTは、そのチャンネル領域と、ドレイン領域と、ソース領域とを例えば石英やガラス等の誘電体基板上に形成した半導体物質からなるストリップから形成した電界効果トランジスタ (FET) である。従って、半導体基板内に形成される従来のFETと異なり、TFTは例えばSRAMセル等の半導体構成体に関して垂直に配列した状態で形成することが可能である。このような集積回路構成要素とのスタッキング即ち積重ねは、集積回路の面積を著しく減少させることが多々ある。

【0006】

【発明が解決しようとする課題】然しながら、同様のW/L比の場合に、TFTの「オン」電流、即ち I_{on} はそれに対応する従来の装置と比較して著しく低いものであることが多々ある。更に、TFTのスイッチング速度はある適用例に対して遅すぎる場合が多々ある。本発明は、上述した如き従来技術の欠点を解消することを目的とする。

【0007】

【課題を解決するための手段】本発明によれば、チャンネル領域を完全に取囲む自己整合型ゲート電極を具備するポリシリコンTFTを製造する方法が提供される。このような取囲みによって幅寸法は最小でも2倍増加する。増加された「オン」電流の流れはこれよりも一層大きい。何故ならば、導通状態は2つの反転されたチャンネルに沿ってばかりではなく、反転された体積を介しても存在するからである。体積反転効果は2重ゲート装置、即ち上側ゲート電極と下側ゲート電極とを具備する

6

MOSトランジスタについて報告されている。例えば、E. Simoen et al. 「全周ゲートSOIトランジスタの低周波数ノイズ研究 (A Low-Frequency Noise Study of Gate-All-Around SOI Transistors)」、IEEEトランザクションズ・オン・エレクトロン・デバイス、40(11):2054(1993)の文献を参照すると良い。本発明方法は、幅狭のストリップの形態にパターン形成されたポリシリコン膜の下側に空洞を形成することを包含している。このポリシリコン膜はTFTのチャンネル領域、ソース領域、ドレイン領域を形成するために使用される。この空洞及びチャンネル乃至はスロットはスタンダードなホトレジスト方法及びエッチング技術を使用して誘電体基板内に設けられる。次いで、高度に適合性のあるLPCVDポリシリコンからなる第二膜を、金属層に対して使用されており且つ最近IBMによって報告されている「ダマスカス」プロセスに幾分類似した態様で空洞及びチャンネル内に導入させる。例えば、R. R. Uttecht及びRobert M. Geffken、高密度高性能ロジック及びSRAM適用用4レベル金属完全平坦化相互接続技術 (A Four-Level-Metal Fully Planarized Interconnect Technology For Dense High Performance Logic and SRAM Applications)」、VIMC、20頁(1991)を参照すると良い。第二ポリシリコン膜が薄い第一ポリシリコン膜内のトランジスタチャンネル領域の周りに自己整合型ゲート電極を形成する。2つのホトマスクステップを使用するだけで機能的なN又はPチャンネルトランジスタが形成される。最小トランジスタ長さは4 λ であり、尚 λ は最小特徴寸法である。これは、最小のポリシリコンライン幅 (ウエハの表面から見た場合のトランジスタ長さ) が2 λ であるスタンダードなMOS技術と比較される。

【0008】従って、ポリシリコンTFT装置を集積回路の種々の適用場面においてより広く使用することが可能であるようにポリシリコンTFTのオン電流及び性能を改善する方法を提供することが本発明の基本的な目的である。

【0009】本発明によれば、絶縁性支持体を有する半導体装置が提供される。半導体物質からなるストリップは絶縁性支持体と接触する一対の反対側の端部を有すると共にそれらの端部の間に延在する中間部分を有している。誘電体物質からなる層が中間部分を取囲み、且つ導電性物質の層が誘電体層を取囲んでいる。

【0010】本発明の1側面において提供される半導体装置は誘電体基板上に形成されたTFTである。両側の端部は夫々ソース領域とドレイン領域とを形成し、且つ中間部分がチャンネル領域を形成する。誘電体層及び導

電層がゲート絶縁体(膜)及びゲート電極を夫々形成する。本発明の別の側面においては、ソース領域及びドレイン領域は、夫々、軽度に加圧したソース領域とドレイン領域とを包含している。

【0011】本発明の1側面によって与えられる1つの利点は V_{ds} 又は V_{gs} のいずれかを増加させることなしに「オン」電流が増加することである。本発明の別の側面によって与えられる利点はスイッチング速度が増加することである。

【0012】

【発明の実施の形態】図1は、本発明に基づく半導体装置10の概略断面図を示している。この装置10はFETであり、絶縁性支持体12と半導体物質からなるストリップ14とを有している。本発明の1側面においては、絶縁性支持体12は半導体基板上の例えば SiO_2 又はガラス等の絶縁体から形成され、且つストリップ14はTFTを形成するためのポリシリコンから形成される。ストリップ14はチャンネル16及びソース領域18及びドレイン領域20を有している。ゲート絶縁体(膜)22はチャンネル16を取囲んでおり、且つゲート電極24はゲート絶縁体22を取囲んでいる。ゲート電極24はチャンネル16を完全に取囲んでいるので、装置10のオン電流及び相互コンダクタンスはチャンネル16の表面の上部部分に沿ってのみゲート電極を有する装置のオン電流及び相互コンダクタンスよりも約2乃至5倍増加されている。更に、装置10は軽度に加圧されたソース領域26及びドレイン領域28を有することが可能であり、それらは、ドレイン20における電界を低下させてドレイン20からの電子がゲート絶縁体22へ打ち込まれることの傾向を減少させる。このような打ち込みは、通常「ホットエレクトロン」問題として言

及され、時間の経過と共に装置10のスレッショールド電圧をシフトさせる場合がある。更に、後述する如く、ゲート電極24はチャンネル16に対して自己整合されている。このような自己整合は、本装置の寸法を著しく減少させ且つ例えばミラー容量等の寄生容量を減少させ、従って装置10のスイッチング速度を増加させる。

【0013】図2乃至10は本装置10の製造方法を示している。図2を参照すると、幅Wを有しており半導体物質からなるストリップ14を絶縁性支持体12の上に形成する。本発明の1側面においては、ストリップ14は低圧気相成長(LBCVD)プロセスで、シリコン基板上の SiO_2 層である絶縁性支持体12の上に付着形成したアモルファスシリコンからなる層である。このアモルファスシリコン膜の厚さは約500乃至2500Åの範囲内である。典型的には、その膜が薄ければ薄いほど、TFTのスレッショールド電圧は一層低い。付着温度は、好適には、475乃至650℃の間に維持され、従って爾後のグレイン成長プロセスの場合に殆ど核

が存在することはない。アモルファスシリコンは従来使用されているガスである SiH_4 か又は Si_2H_6 のいずれかのソースガスを使用して付着形成することが可能である。 Si_2H_6 はLPCVDを約475℃において実施することを可能とし、且つ許容可能な膜を形成する。例えば液晶ディスプレイ(LCD)等のある装置の場合には、絶縁性支持体12はガラス又は石英とすることが可能である。このような低い温度(約475℃)においてのLPCVDプロセスは絶縁性支持体12がガラス又は石英であることを許容する。

【0014】一方、シリコン膜14はポリシリコンとして形成することが可能である。典型的なポリシリコン形成温度はシリコン基板上の SiO_2 層上にポリシリコンを形成する場合には650乃至950℃の範囲である。1実施例においては、このポリシリコン膜はシリコンのイオン注入によってアモルファスとさせることが可能である。典型的に、約75KeVにおいての約 5×10^{15} 原子数/cm²の注入レベルで十分である。然しながら、このレベルは付着形成する膜の厚さに依存して変化することが可能である。必要な場合には、成長条件及び爾後の注入は、付着形成される膜が可及的にアモルファスであるようにすべきである。一方、ストリップ14はポリシリコンのまま残存することが可能であり、ポリシリコンから形成される本発明装置はチャンネル16、ソース領域18及びドレイン領域20を有している。

【0015】次に、アモルファスシリコン膜14を N_2 又はAr中において比較的長く温度の低いアニールへ露呈させ、アモルファスシリコンを粒界の大きなポリシリコンへ変換させる。特に、このアニールは、約475乃至600℃の範囲内の温度において且つ約20乃至100時間の範囲内の期間にわたり実施する。然しながら、このアニールプロセス期間中の温度は、付加的な核又は小さな結晶を発生するのを禁止するのに十分に低いが、既存の結晶が固体状態拡散を介して成長することを可能とするのに十分に高いものである。このようなアニールステップによって約5ミクロン以上の粒界を有するポリシリコン膜が形成される。一方、このアモルファスシリコン膜はレーザー再結晶化方法を使用して粒界の大きなポリシリコンへ変換させることも可能である。

【0016】アモルファスシリコン膜をグレイン寸法の大きなポリシリコンへ変換させるのは、大きなグレインはTFTを改善させるからである。例えば、大きなグレインは、典型的に、粒界に主に位置するキャリアトラップにおいて蓄積される場合のある電荷数を減少させる。逆に、小さなグレインは、多数のこのようなトラップを発生させ、そのようなトラップは反転層を形成し、即ちチャンネルを形成してTFTをターンオンさせる代わりに、これらのトラップを充電し且つ放電する作業においてTFTへ印加されるゲート電圧の著しい部分を浪費させる場合が多々ある。粒界における電荷密度を更に減少

させるために、ポリシリコン層を水素(H)でパッシベーションすることが可能である。このようなパッシベーションはTFTのスレッショールド電圧及びサブスレッショールドリーク電流を減少させる。ポリシリコン層を水素でパッシベーションさせることの可能な多くの方法が公知であり、例えば、適宜の形成用ガス又はH内において長期間ベークし、プラズマ補助CVD(PECVD)窒化シリコン層を付与し、半導体構成体10を約300℃において水素プラズマ中に浸漬させるか、又はプロトンでの高ドーズイオン注入によるもの等がある。

【0017】一方、例えばガラス又はSiO₂層上に直接ポリシリコンを形成する等の任意の適宜の技術を使用してストリップ14のために許容可能な大きさのグレイ寸法のポリシリコンを形成することが可能である。

【0018】絶縁性支持体12の上にポリシリコン層14を形成した後に、ホトリソグラフィ方法を使用して1つ又はそれ以上のポリシリコンストリップ14を形成する。本発明の1側面においては、幅Wは2λであり、尚λは使用した処理技術に対するポリシリコン層14の幅に対する最小特徴寸法能力である。

【0019】図3を参照すると、ポリシリコンストリップ14を形成した後に、絶縁性支持体12及びストリップ14の上に平坦層30を形成する。本発明の1側面においては、層30は約2000Åの厚さの二酸化シリコン(SiO₂)からなる層32と、約5000Åの厚さの燐ガラス又はボロンをドーパしたガラスからなる層34とを有している。次いで、層34をフローさせて平坦な表面36を形成させる。本発明の1側面においては、適合性CVD又は低圧CVDのいずれかを使用してSiO₂層32を付着形成させる。次いで、層34を典型的にある適用場面に対して800乃至1100℃の範囲内である適宜の温度においてフローさせる。然しながら、所望により、ほぼ平坦な上表面36を与えるためにより低い温度を使用することも可能である。一方、平坦な表面36を有する層30はスピノンガラス膜から形成することも可能である。これは、ガラス又は石英上に形成するLCDに対して有用である。

【0020】図4を参照すると、それは図3の構造の概略平面図であり、ホトレジストマスク38が表面36上に形成され、且つエッチングされて長さLを有する中間部分16を露出させている。本発明の1実施例においては、長さLは約幅Wと等しい。層30及び絶縁性支持体12の露出された部分を異方性エッチングして図4のA-A線に沿ってとった図5に示した構造とさせる。SiとSiO₂との選択性が高い異方性エッチプロセスが好適である。このような異方性エッチは種々のフルオロカーボンプラズマ化学を使用するイオン補助プラズマエッチプロセスを使用して実行することが可能である。図5に示した如く、この異方性エッチングによって層30の露出部分が完全に取除かれ且つ中間部分16の底部下側

にほぼW/2であるλの深さに絶縁性支持体12内にエッチングする。従って、この異方性エッチングは中間部分16においてストリップ14の両側に開口領域42を形成する。

【0021】図6を参照すると、絶縁性支持体12及び層30の露出された部分を等方性エッチングを行なってアンダーカットを形成し、その境界を点線40で示してある。領域42におけるアンダーカットの量は、中間部分16の下側の中間空洞46(図7)が形成されるようなものである。何故ならば、絶縁層12が中間部分16の下側を貫通してエッチングされるからである。このような等方性エッチングは、例えば緩衝酸化物エッチ(BOE)等のHFの水溶液を使用して所望の深さまで実施することが可能である。1実施例においては、異方性エッチングの後開口42の元の深さを越えて約W/2の深さが適切である。然しながら、ある場合にはより小さなアンダーカットとすることが望ましく、且つ大型のゲート電極の場合には、例えば2λ以上のより大きなアンダーカットが望ましい。

20 【0022】図7を参照すると、それは図6のB-B線に沿ってとった概略断面図であり、空洞46がストリップ14の中間部分16の下側に形成されていることが示されている。この場合の点線は開口42の深さを示しており、且つ実線は等方性エッチングの後の空洞46を示している。

【0023】図8を参照すると、ゲート絶縁体乃至は誘電体48をストリップ14の中間部分16を完全に取囲むように形成する。中間部分16の長さは空洞46の幅によって画定されるので、ゲート電極はTFTのチャンネル領域となる中間部分16と自己整合される。このような自己整合は、ゲート電極がソース領域18又はドレイン領域20(図1)とオーバーラップする場合には増加されることのあるミラー寄生容量を減少させる。ゲート絶縁体48の厚さは、所望とするスレッショールド電圧に依存して、約150乃至500Åの範囲内で変化させることが可能である。ゲート絶縁体48は、熱酸化と、それに続いてのテトラエチルオルトシリケート(TEOS)をベースとした二酸化シリコンの適合性CVDの組合わせを使用して形成することが可能である。一方、ゲート絶縁体48は乾燥酸素(O₂)において熱的に成長させることが可能である。又、ゲート絶縁体48は、従来のTFTを製造する場合に使用されるようにCVDのみを使用して形成することが可能であり、又はCVD窒化シリコンゲート誘電体プロセスを使用して形成することも可能である。本発明の1側面においては、ゲート絶縁体48を形成する前に、露出されている中間部分16を、所望により、特定の寸法の装置を形成するために軽い酸化及びBOEエッチングによって薄くさせることが可能である。次に、中間部分16を適宜のドーパントで注入してTFTのチャンネルを形成する。例え

ば、Nチャンネルトランジスタを形成するためには、中間部分16を約 10^{12} 原子数/cm²の範囲におけるボロンで注入することが可能である。一方、Pチャンネル装置を形成するためには、チャンネル16は典型的に軽度砒素(As)で注入されているが、公知の設計ツールを使用して設計者によって選択される所望のスレッシュホールド特性を与えるためにチャンネル領域16はドーピングしないままとさせることが可能である。チャンネル16を形成するために中間部分16を注入する前又は後にマスク層38を除去する。

【0024】図8を参照して説明すると、次いで、構成体10をポリシリコン層50でコーティングする。図示した如く、層50は開口42及び空洞46を完全に充填しゲート酸化膜48及びチャンネル16の両方を完全に取囲む。使用した付着プロセスに依存して、チャンネル16下側の空洞46におけるポリシリコン層50の一部に幾らかのボイド52が存在する場合がある。然しながら、このようなボイドは結果的に得られるTFTの性能に何等悪影響を与えるものではないものと考えられ、且つあるポリシリコン付着技術においては完全に回避することが可能である。

【0025】それを付着形成した後に、ポリシリコン層50をドーピングし且つガラス層30の表面に対してエッチングさせる。本発明の1側面においては、最初にポリシリコン層50をN+注入又は拡散でドーピングする。層50の上部部分を例えば化学的機械的研磨(CMP)等の従来のプロセスで除去することが可能であり、又は、ホトレジストマスク38が充分に小さな開口を有する場合には、ポリシリコン層50を除去するために異方性プラズマエッチングを使用することが可能である。30
その場合のプラズマは、例えばSF₆をベースとしたイオン補助プラズマエッチングにおいて見られるようなSiとSiO₂との間の選択性の高いものとすべきである。一方、層50の上部部分を最初にエッチングすることが可能であり、且つ空洞46及び開口42内に残存する層50の部分、即ちゲート電極24を形成する層50の部分の後にドーピングさせることが可能である。使用するドーピングプロセスに依存して、ゲート電極24の上部部分54を下側部分よりも一層高度にドーピングさせることが可能である。

【0026】図9を参照すると、本方法のこの時点において、層30を除去することが可能であり、且つチャンネル16に隣接したストリップ14の端部部分を適宜ドーピングしてTFTのソース領域18及びドレイン領域20(図1)を形成することが可能である。ソース領域18及びドレイン領域20のドーピングは、更に、ゲート電極24の上部部分及び露出された側壁部分内にドーパントを注入する。後の拡散ステップによってチャンネル16下側のドーパントが下側部分54内へドライブされて、その部分が前のステップにおいてドーピングされ

なかった場合にはドーピングされることを確保する。従って、ソース領域18及びドレイン領域20も、ゲート電極24と自己整合状態に形成される。

【0027】層30を適宜のマスキング手順を使用してエッチバックしスペーサ56を形成する。本発明の1側面においては、スペーサ56の幅Sは約0.5ミクロンである。従来公知の如く、Sはほぼ0.15ミクロンに等しい場合には、結果的に得られるTFTに対するオン/オフ電流比は約 10^4 であり、LDDを有することのない装置の場合には 10^2 である。更に、Sが約0.45ミクロンに等しいオン/オフ電流比は約 10^7 である。スペーサ56の形成に続いて、ストリップ14をドーパントで注入する。例えば本発明の1側面においては、層14を、約 10^{15} 原子数/cm²の注入レベルを使用してAsでドーピングし、N+ソース領域18及びドレイン領域20を形成し、それらは、図9においては、スペーサ56の外側端部において開始している。

【0028】図10を参照すると、次いで、例えばBOE又はプラズマエッチングによってスペーサ56を除去することが可能である。次いで、軽度のドーパントを注入してLDDタイプ構造の軽度にドーピングした領域26及び28を形成する。従って、このLDD構造は、側壁酸化物スペーサを使用したゲート電極及びチャンネル領域と自己整合されており、絶縁性基板上に形成したポリシリコン装置において従来可能でなかった著しい寸法及び装置動作特徴を与えている。例えば、N型物質からなる領域26及び28を形成するために、AsのLDD装置用に適した値の軽いドーピングで付与された酸化物層58を介して注入させる。次いで、構成体10を軽度に酸化させゲート誘電体48における端部のボイドを治癒する。次いで、迅速熱アニール(RTA)によってドーパントを活性化させ横方向拡散を減少させる。

【0029】本発明の別の実施例においては、ガラス層30を除去し、ストリップ14及びゲート電極24の上に注入酸化物を形成した後に、軽度のドーパント注入を行なって軽度にドーピングした物質からドレイン領域18及び20を形成することが可能である。次いで、スペーサ56を形成し且つ二番目の注入を行なって、スペーサ16下側の領域26及び28を軽度にドーピングしたままとさせ、且つソース18及びドレイン20の残りの部分を高度にドーピングさせて軽度にドーピングしたドレイン及びソース領域26及び28を有するTFTを与える。

【0030】図11は図4のA-A線に沿ってとった完成されたTFTの概略断面図を示している。理解される如く、ビア、コンタクト等を使用してソース領域18及びドレイン領域20に対して適宜の電氣的相互接続が形成され、従ってポリシリコントランジスタ10はより大きな回路の1つの要素となることが可能である。それらのコンタクトは下側の層から装置10へ又はより高い層からのものとすることが可能である。最も蓋然性の高い

13

場合としては、電氣的相互接続は、ソース／ドレイン領域18及び20を回路内の夫々の導体へコンタクトさせ、且つゲート電極24を別の導体へコンタクトさせて、トランジスタ動作、ダイオード接続、負荷接続、等各回路設計に対して必要な構造を与える。第一ポリシリコン層、第二ポリシリコン層及びその他の層への電氣的コンタクトを形成する現在公知のスタンダードな技術を使用することが可能である。

【0031】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。

【図面の簡単な説明】

【図1】 本発明に基づいて構成された半導体構成体の概略断面図。

【図2】 絶縁性支持体上に形成した半導体物質からなるストリップを示した概略断面図。

【図3】 平坦な層を付加した図2の構造の概略断面図。

【図4】 マスク層を付加した図3の構造を示した概略平面図。

【図5】 異方性エッチングを行なった後の図4の構造

14

のA-A線に沿ってとった概略断面図。

【図6】 等方性エッチングを行なった後の図5の構造を示した概略平面図。

【図7】 図3のB-B線に沿ってとった図6の構造の概略断面図。

【図8】 マスク層を除去し且つゲート酸化膜及び導電層を付加した後の図7の構造を示した概略断面図。

【図9】 エッチングに続き且つ第一自己整合不純物注入プロセス期間中の図8の構造を示した概略断面図。

10 【図10】 第二自己整合不純物注入プロセス期間中の図9の構造を示した概略断面図。

【図11】 図3のB-B線に沿ってとった図10の構造を示した概略断面図。

【符号の説明】

10 半導体装置(FET)

12 絶縁性支持体

14 ストリップ

16 チャンネル

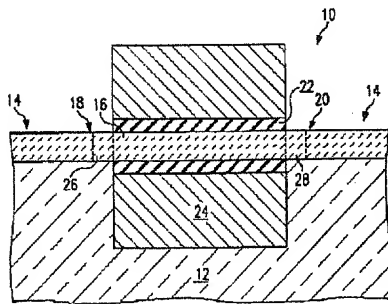
18 ソース領域

20 ドレイン領域

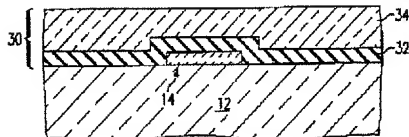
22 ゲート絶縁体(膜)

24 ゲート電極

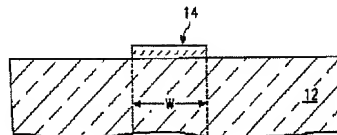
【図1】



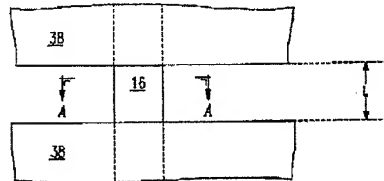
【図3】



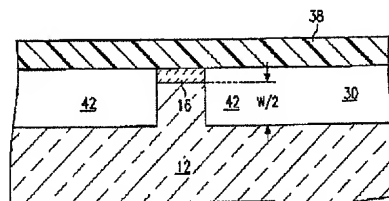
【図2】



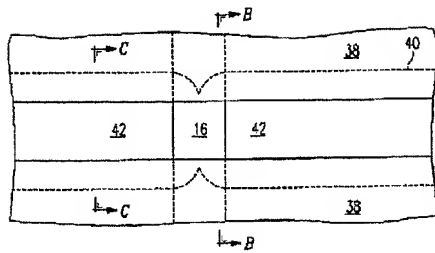
【図4】



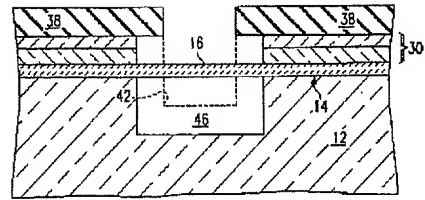
【図5】



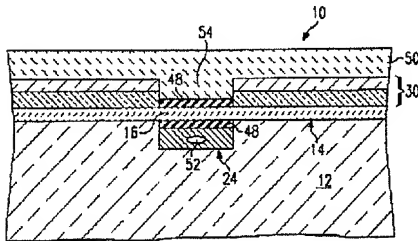
【図6】



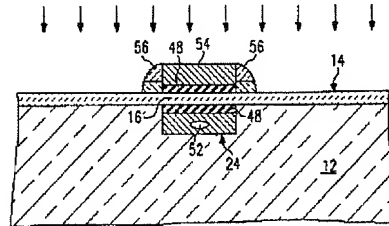
【図7】



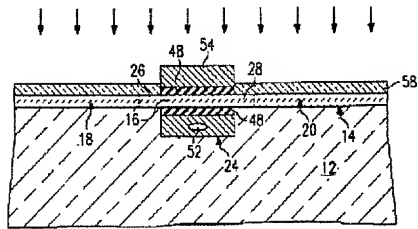
【図8】



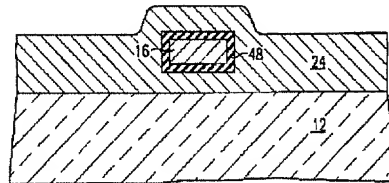
【図9】



【図10】



【図11】



フロントページの続き

(51)Int. Cl. 6

識別記号

片内整理番号

F I

技術表示箇所

H 0 1 L 29/78

6 1 6 M

6 2 7 G